

디자인 코너

전압 레귤레이터

LDO 디자인의 부하변동 문제 해결방법

By Sergei Strik

E-mail:sergei.strik@nsc.com

Viktor Strik

E-mail:viktor.strik@nsc.com

National Semiconductor Estonia

LDO는 휴대폰, 노트북 및 PDA와 같은 많은 포터블 전자 시스템들에 널리 사용되고 있다. 이러한 모바일 어플리케이션에서 LDO 디자인 문제가 대두되는 것은 전력소모를 줄이고 정확한 동작을 수행해야 할 필요성 때문이다.

디지털 회로(LDO 출력으로부터 전력을 공급 받는)가 어떤 동작 모드로부터 다른 동작 모드로 전환함에 따라, LDO에 요구되는 부하는 급속히 변화할 수 있다. 이처럼 빠른 부하의 변화는 LDO 출력전압에 일시적인 글리치를 야기할 수 있다. 그러나 디지털 회로는 커다란 전압 변화에 제대로 반응하지 못한다. LDO의 부하변동 문제 개선이 매우 중요한 것은 이 때문이다.

기존의 LDO 구조(오류 앰프와 패스 소자를 포함하는)를 사용하여 부하의 변화가 LDO의 동작에 미치는 영향을 정의할 수 있다.

LDO 부하전류의 변화는 오류 앰프가 패스 트랜지

스터를 부하 전류의 변화에 따라 구동함으로써 변화값을 보상할 수 있게 될 때까지 LDO 출력전압의 수준을 변화시킨다. 이 기간 동안에 LDO 출력부에 전압 스파이크들이 생성된다. 지연 시간을 줄이면 출력전압 오류를 최소화 할 수 있다.

이러한 지연 시간을 야기하는 원인은 많다. 주된 원인 가운데 하나는 패스 소자의 기생 캐패시턴스를 충전시키는 데 필요한 시간이다. 포터블 어플리케이션에 주로 사용되는 LDO들의 최대 출력 전류는 수백 밀리암페어 범위이다. 이러한 요건은 패스 소자의 면적을 증가시키므로, 패스 소자의 기생 캐패시턴스 C_{p1} 과 C_{p2} 도 증가하여 100pF을 넘어갈 수 있다. 이는 전력 소모에 영향을 미치게 된다. 그리고 아다시피 배터리 수명의 연장은 오늘날 매우 중요한 문제로 대두되고 있다.

따라서 LDO의 작은 정지 전류는 주요 파라미터이지만 기생 캐패시턴스 충전 시간을 크게 제한한다.

클래스 AB 솔루션

기생 캐패시턴스 충전 시간을 줄이기 위한 가장 잘 알려진 접근 방법은 클래스 AB 앰프를 오류 앰프로 사용하는 것이다. 클래스 AB 앰프는 대개 두 개의 이득단을 갖는 복잡한 회로이다. LDO 레귤레이터 파워 트랜지스터는 세 번째 이득단을 추가시킨다. 이 3단 앰프에 양호한 안정성을 제공하기 위해 오류 앰프의 대역폭을 줄이고 반응 시간은 늘리는 상이한 보상 방법들을 사용하는 것이 일반적이다.

LDO 회로들을 위한 다양한 솔루션들이 있다. 여기서 설명하려는 회로들의 기본적인 아이디어는 오류 앰프 디자인이 부하변동의 개선과 정지 전류의 감소에 집중하도록 하는 것이다.

패스 소자는 커다란 기생 캐패시턴스를 가지고 있어, 이것이 정지 전류가 작은 오류 앰프의 출력단에 저주파 폴을 생성한다. 클래스 AB 오류 앰프를 갖는 LDO의 매우 복잡한 구조는 양호한 안정성에 이르기 위해 오류 앰프의 대역폭을 줄인다. 이러한 효과를 막기 위해 추가 버퍼를 구현하여 오류 앰프 출력단의 높은 출력 저항을 패스 소자의 높은 부하 캐패시턴스로부터 절연시켜야

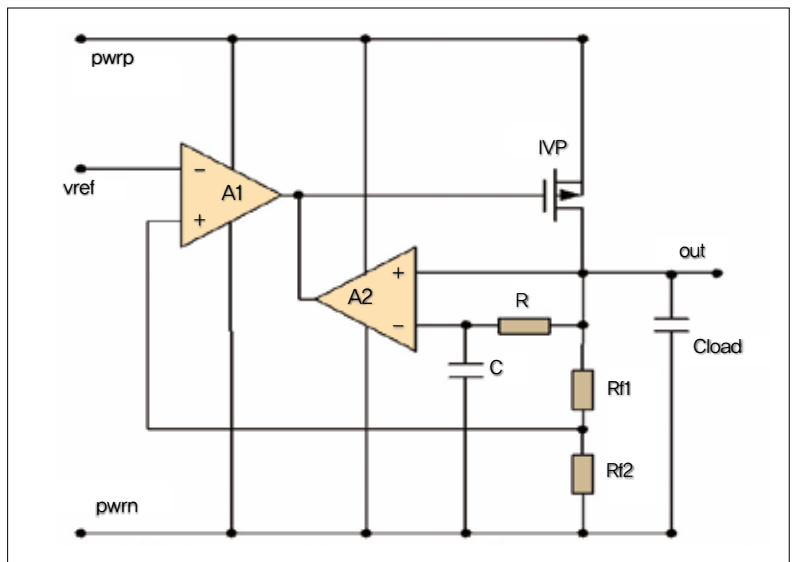


그림 1: 새로운 솔루션으로서 제안된 병렬 연결 출력의 OTA

한다. 그러나 이 같은 접근 방법으로는 안정성 문제를 피할 수 없다. 정지전류가 작은 LDO에서는 바이어스 전류 I_b 도 작다. 이미터 팔로워의 풀은 오류 앰프 A1의 풀에 매우 가까이 배치되어 있다. 게다가 이 접근 방법은 이미터 팔로워를 버퍼로 사용한다. 이는 패스 소자 MP를 신속히 끌 수 있도록 해주긴 하지만, 턴온 시간은 작은 전류값 I_b 에 의해 제한된다.

메인 앰프와 버퍼가 직렬연결된 구조의 또 다른 단점은 지연이 회로 가운데 보다 느린 부분에 의해 결정된다는 점이다.

또 다른 솔루션에서는 두 개의 앰프, 즉 오류 앰프 A1과 전류 피드백 앰프 A2를 사용한다. 전류 피드백 앰프는 두 번째 피드백 루프를 갖는데, 이것이 LDO의 반응 속도를 가속시킨다. 그러나 이 앰프는 입력 저항이 작고, 오류 앰프 A1의 이득이 줄어드는 상황을 야기할 수 있다. 따라서 LDO의 주요 파라미터들은 더욱 악화된다.

두 개의 op 앰프를 사용하여 패스 소자를 구동하는 것이 최상의 방법인 듯하지만, 이 역시 여러 가지 단점들을 갖고 있다. 이러한 단점들은 높은 이득과 낮은 대역폭을 갖는 OTA(operational transconductance amplifier)를 메인 오류 앰프로 구현하면 없어지거나 줄어든다. 이 앰프는 LDO의 주요 파라미터들을 결정한다. 역시 OTA를 기반으로 하며 이득이 비교적 작고 대역폭은 넓은 두 번째 앰프가 LDO의 출력을 모니터링 한다. 두 앰프의 출력들은 병렬 연결된다. 여기서 제안하는 구조는 그림 1과 같다.

메인 오류 앰프 A1은 표준 2단 앰프로서, LDO의 양호한 성능을 보장하기 위해 사용된다. A1은 파워 트랜지스터 MP를 고속 구동 하는 데 사용되지 않으므로, 클래스 A 출력단을 가질 수 있다. 피드백 저항기 R_{f1} 과 R_{f2} 는 LDO의 출력 전압을 결정한다.

두 번째 앰프는 파워 트랜지스터의 기생 캐패시턴스를 고속 충전 하기 위해 넓은 대역폭과 클래스 AB 출력단을 갖는다. 앰프 A2의 출력은 앰프 A1의 출력과 파워 트랜지스터 MP의 게이트에 연결되어 있다. LDO 출력은 A2의 비역전 입력과 저역통과 필터 RC에 연결되어 있다. 저역통과 필터의 출력은 앰프 A2의 입력에 연결되어 있다. 이러한 연결은 정상상태 조건에서 A2의 입력들 간에 제로 전압 상태를 생성하며, 앰프 A2가 LDO 파라미터들에 미치는 영향을 배제한다.

LDO 출력 부하가 빠르게 변화하는 동안에, 저역통과 필터의 시간 상수가 부하 변화의 과도 시간보다 크다면 A2의 역전 입력 값은 변하지 않는다. A2의 비역전 입력은 LDO 출력 전압을 따르며, 그 변화값을 보상하기 시작한다. 앰프 A1은 훨씬 더 나중에 반응하기 시작하는데, 이는 대역폭이 낮기 때문이다. 저역통과 필터의 시간상수를 넘어서는 특정 시간 이후에는 A2가 다시금 정상상태 조건에 놓이며, LDO의 파라미터에 영향을 미치지 않게 된다. 그림 2는 제안된 LDO 구조의 AC 분석이다. 그림 2a는 단순화 시킨 스키매틱이다. 단순화 시킨 전달 함수의 등가 블록도는 그림 2b와 같다. 이는 그림 2c와 같이 제안된 LDO 동작의 크기 응답을 구축할 수 있게 해준다.

낮은 주파수에서 LDO 동작은 메인 앰프 A1에 의해 정의된다. 과도 이벤트들이 발생하는 보다 높은 주파수에서는 LDO 동작이 고속 앰프 A2에 의해 결정된다. RC 필터는 병렬 앰프 A1과 A2의 동작을 분리시켜 이들이 동시에 작동하지 않도록 할 수 있다.

제안된 LDO 정규 회로는 $0.5\mu s$ CMOS 기술을 이용하여 집적되었다. 사용된 면적은 $0.28mm^2$ 이다. 최대 전류 소모는 $20\mu A$ 이다. 더욱 최적화 하여 한층 더 축소시킬 수 있지만, 그 대가로 칩 면적이 커지고 부하 변동에 대한 반응이 느려지며, LDO 레귤레이터의 다른 주요 파라미터들이 열화되게 된다. LDO 레귤레이터의 출력 전압 스파이크들은 $1\mu s$ 동안의 부하 변동이 최대값으로부터 $1mA$ 까지, 그리고 $1mA$ 로부터 최대값까지일 경우 $60mV$ 이다. 보다 느린 속도($10\mu s$)의 부하 변화 시에 LDO 레귤레이터의 출력 전압 변화는 $18mV$ 에서 훨씬 더 작다.

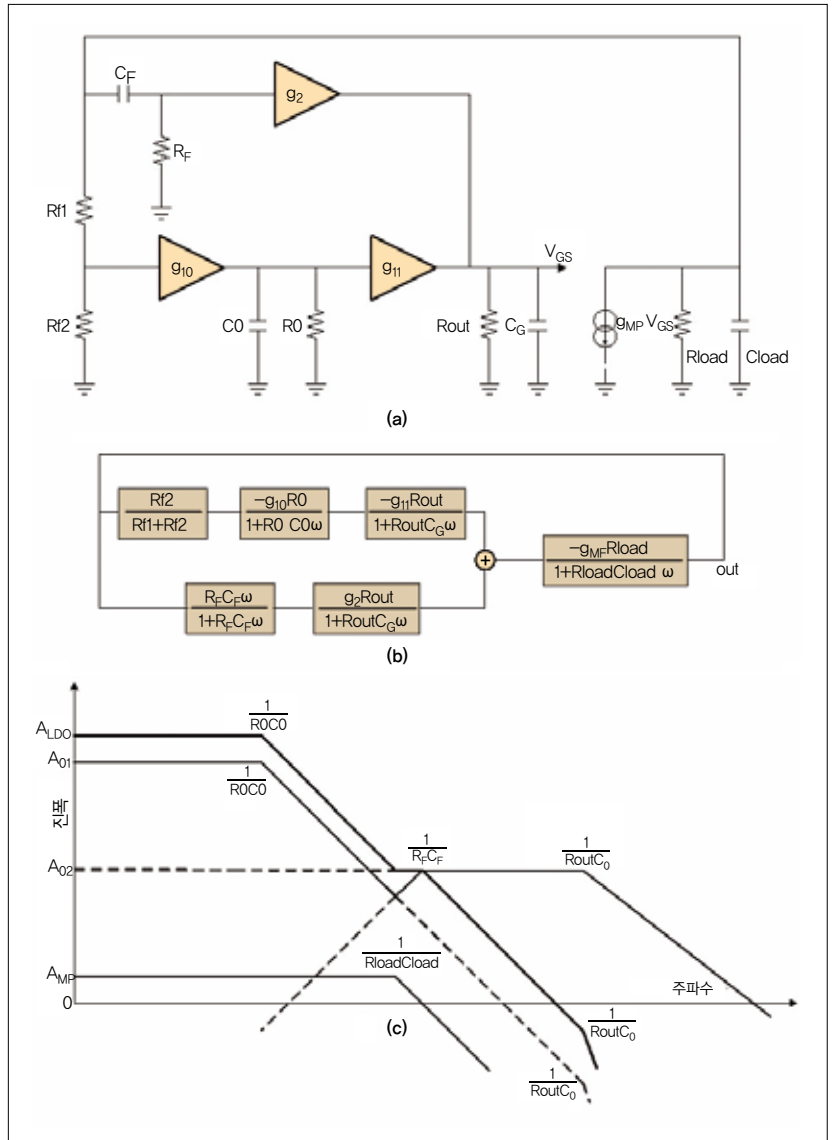


그림 2: 제안된 LDO 레귤레이터의 AC 분석: 단순화된 스키매틱(a), 등가 블록도(b), 크기 응답(c)

LDO 레귤레이터의 출력 부하가 20mA일 때 10kHz 주파수에서 측정된 파워서플라이 거부율은 -75dB이다. 10Hz에서 100kHz의 주파수 범위에 대해 측정된 등가 출력 잡음은 10 μ VRMS이다.

실험 결과들은 제안된 LDO 전압 레귤레이터가 부하변동 성능이 개선되고 전류소모가 적은 LDO 레귤레이터에 있어서 매우 경쟁력이 높음을 보여주고 있다.